

⑫ 公開特許公報(A)

昭63-207173

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)8月26日

H 01 L

27/10

3 2 5

R-8624-5F

21/76

L-7131-5F

27/04

C-7514-5F

27/06

3 2 1

7735-5F

27/08

3 2 1

A-7735-5F

27/10

3 2 5

S-8624-5F

29/78

3 0 1

C-8422-5F

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-39025

⑯ 出 願 昭62(1987)2月24日

⑰ 発 明 者 有 留 誠 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑰ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑰ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板に素子分離用の溝を形成すると共に、該基板にバイポーラトランジスタ及びMOS素子を形成してなる半導体装置の製造方法において、半導体基板に不純物を選択的に導入して反転防止層を形成する工程と、上記基板上に第1の半導体膜をエピタキシャル成長する工程と、上記半導体膜に不純物を選択的に導入して前記バイポーラトランジスタのコレクタ埋込み層を形成する工程と、前記第1の半導体膜上に第2の半導体膜をエピタキシャル成長する工程と、前記第1及び第2の半導体膜を素子分離領域に応じてエッチングし前記第1の埋込み層に達する溝を形成する工程とを含むことを特徴とする半導体装置の製造方法。

(2) 前記反転防止層、第1及び第2の半導体膜は前記基板と同導電型であり、前記コレクタ埋込み層は前記基板と逆導電型であることを特徴とする

特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 前記溝の底部に、素子分離用絶縁膜を埋込み形成することを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(4) 前記溝の側壁部分の一部に、キャパシタ絶縁膜を介してキャパシタ電極を形成することを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、バイポーラトランジスタとMOSトランジスタを同一基板上に形成した半導体装置に係わり、特にバイポーラトランジスタのコレクタ埋込み層と素子分離領域の反転防止層の形成工程を改良した半導体装置の製造方法に関する。

(従来の技術)

近年、半導体技術の進歩、特に微細加工技術の進歩に伴い、MOS型メモリのような半導体記

憶装置の高集積化が進んでいる。MOSトランジスタ及びMOSキャパシタからメモリセルを構成したDRAMにおいては、高集積化に伴って情報を記憶するMOSキャパシタの面積が減少し、従ってMOSキャパシタに蓄えられる電荷の量が減少する。この結果、メモリ内容が誤って読出されたり、 α 線の等の放射線によりメモリ内容が破壊されるといった問題が生じている。

このような問題を解決するため、キャパシタ形成領域に溝を掘って、占有面積を拡大することなく実質的に表面積を大きくしてMOSキャパシタの容量を増大させ、以て蓄積電荷量を増大させてメモリセルを微細化する方法が提案されている。同様に、素子分離領域の面積が減少することによって素子間でリークが生じ、素子間分離耐圧が低下するという大きな問題となっている。このため、素子分離領域に溝を掘って、絶縁膜を埋込んだり或いは溝の底部のみを選択的に熱酸化することにより、占有面積を拡大することなく分離耐圧を増大させる方法が提案されている。

(a) から明らかなように、同じ方向に連続的に配列形成され、またゲート電極49はワード線となる。

こうしてMOSキャパシタ及びMOSトランジスタが形成された基板表面にCVD絶縁膜52が堆積され、これにコンタクト穴が開けられてワード線と直交する方向の複数のMOSトランジスタのドレインを共通接続するA ϕ 配線53が配列形成されている。なお、このA ϕ 配線53はビット線となる。

このようなメモリセル構造では、素子分離領域とキャパシタ形成領域を同一の溝で構成することにより共にそれぞれの占有面積を増大することなく分離耐圧を向上させ、なおかつキャパシタ容量を増大させることが可能となり、高集積したメモリの信頼性向上がはかられるものとして有望である。また、最近では、上記構造を持つメモリセルにおいて高速動作を実現するために、セル部以外の周辺回路にバイポーラトランジスタを用いることが試みられている。

第2図は既に提案されているメモリセル(特開昭59-72161号公報)の構造であり、(a)は平面図、(b)はその矢視A-A'断面図である。p型Si基板41の素子分離領域に溝42が形成され、この溝42により分離された複数の島状領域が配列形成されている。溝42の底部には素子分離用の厚い絶縁膜44が途中まで埋込み形成されている。さらに、素子分離領域耐圧を向上させるため、溝42の底部にはp⁺型拡散層43が形成されている。メモリキャパシタはこの素子分離用溝42の側壁及び上面にキャパシタ絶縁膜46を形成し、この溝42を埋込むようにキャパシタ電極47を配設して形成されている。キャパシタ電極47が対向する基板領域には対向電極となるn型拡散層45が形成されている。そして、島状半導体領域上にゲート絶縁膜48を介してゲート電極49が形成され、このゲート電極49をマスクとして不純物をイオン注入してソース・ドレインとなるn⁺型拡散層50、51が形成されている。キャパシタ電極47及びゲート電極49は第2図

しかしながら、この種の装置にあっては次のような問題があった。即ち、メモリをさらに高集積化するためには溝の開口に対して側面積を大きくする必要がある、このように溝の幅に対する深さの割合が大きくなった場合には、溝底部のみに反転を防止するためのp⁺型拡散層を形成することが困難である。また、セル部分全体を高濃度の基板上に形成することにより、素子分離耐圧を補償すると云う方法も知られている。しかし、このような場合には高濃度、高加速でイオン注入を行い、なおかつ長時間熱拡散を行わなければならない。そのために、表面のトランジスタ特性に影響を与え、しきい値がばらつく等、信頼性上大きな問題があった。

また、同一基板上にバイポーラトランジスタを作る場合、トランジスタのコレクタ電極となるコレクタ埋込み層形成後のエピタキシャル成長層最薄膜厚と、溝底部の反転防止層形成後のエピタキシャル成長層最薄膜厚は一致していない。即ち、バイポーラトランジスタ部ではエピタキシャル成

長さを薄くしコレクタ埋込み層を浅くすれば性能は上がるが、溝底部の反転防止層は微細化に伴い益々基板表面から深くしなければならない。

(発明が解決しようとする問題点)

このように従来、素子分離用溝が深くなると、溝の底部のみに反転防止層を形成することが困難であった。さらに、B i-MOS構造においては、コレクタ埋込み層と反転防止層との深さ位置を共に最適化することは困難であった。

本発明は上記事情を考慮してなされたもので、その目的とするところは、素子占有面積を拡大することなく十分な素子分離耐圧を確保することができ、且つB i-MOS構造におけるコレクタ埋込み層及び反転防止層の深さ位置を共に最適化することができ、B i-MOS構造のRAM等の信頼性の向上をはかり得る半導体装置の製造方法を提供することにある。

[発明の構成]

(問題点を解決するための手段)

本発明の骨子は、2つのエピタキシャル成長

上記反転防止層に接するように形成されるため、キャパシタ間のリークだけでなく、 α 線によるソフトエラーを抑えることができ、メモリの信頼性の向上がはかられる。さらに、この反転防止層をエピタキシャル成長技術を利用して埋込み形成するため、従来技術のように長時間の熱拡散を行って高濃度層を形成する場合に比べて表面のトランジスタ特性はより安定したものとなる。また、エピタキシャル成長技術による埋込み層をCMOSに用いた場合には、基板の抵抗を小さくすることができ、ラッチアップ防止に有効である。

さらに、本発明の方法によれば、素子分離用溝の反転防止層とバイポーラトランジスタのコレクタ埋込み層の深さをそれぞれ独立に決めることができるため、これらを最適化することができ、メモリの信頼性、バイポーラトランジスタの性能を低下させることなく、メモリを構成することが可能である。従って、信頼性及び集積度の高いB i-MOS構造の半導体装置を実現することが可能となる。

層を用いることにより、2つの不純物埋込み層の基板表面からの深さを異ならせることにある。

即ち本発明は、半導体基板に素子分離用の溝を形成すると共に、該基板にバイポーラトランジスタ及びMOS素子を形成してなる半導体装置の製造方法において、半導体基板に不純物を選択的に導入して反転防止層を形成したのち、上記基板上に第1の半導体膜をエピタキシャル成長し、次いでこの半導体膜に不純物を選択的に導入して前記バイポーラトランジスタのコレクタ埋込み層を形成し、次いで第1の半導体膜上に第2の半導体膜をエピタキシャル成長し、しかるのち第1及び第2の半導体膜を素子分離領域に応じてエッチングし前記第1の埋込み層に達する溝を形成するようにした方法である。

(作用)

本発明によれば、素子分離用溝の底面が反転防止層に接するように形成されるため、素子分離耐圧の向上をはかることができる。しかも、この溝に形成するキャパシタにおいては、溝の底面が

(実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の一実施例に係わるB i-MOS構造のDRAMセルの製造工程を示す断面図である。まず、第1図(a)に示す如く、p型Si基板11の表面に酸化膜12₁を形成し、所定の領域に残したレジスト13₁をマスクとして、例えばボロンをドーザ量 $5 \times 10^{13} \text{ cm}^{-2}$ 、加速電圧150 KeVでドーピングし、p⁺型埋込み層(反転防止層)14を形成する。

次いで、レジスト13₁及び酸化膜12₁を除去したのち、第1図(b)に示す如く、基板11上に第1のp型エピタキシャル成長層15を2.5 μm の厚さに形成する。その後、第1図(c)に示す如くエピタキシャル成長層15上に酸化膜12₂を形成し、所定領域に残したレジスト13₂をマスクとして、例えば砒素をドーザ量 $5 \times 10^{13} \text{ cm}^{-2}$ 、加速電圧40 KeVでドーピングし、高濃度のn⁺型埋込み層(コレクタ埋込

み層) 16を形成する。

次いで、レジスト13₂及び酸化膜12₂を除去したのち、第1図(d)に示す如く、エピタキシャル成長層15上に第2のp型エピタキシャル成長層17を形成する。続いて、所定の領域に不純物をドーピングすることにより、pウェル18及びnウェル19を形成し、素子分離領域の一部を酸化することにより素子分離用絶縁膜20を形成する。

次いで、第1図(e)に示す如く、バイポーラトランジスタのコレクタ領域にn型不純物をドーピングして高濃度で深いn⁺型拡散層22を形成する。さらに、前記素子分離用絶縁膜20を形成していない素子分離領域の基板を反応性イオンエッチング(RIE)によりエッチングして素子分離用溝21を形成する。このとき、溝21の少なくとも底面の一部或いは全部は前記p⁺型埋込み層14に接するようにする。

次いで、第1図(f)に示す如く、素子分離用溝21の底部に所定厚みの素子分離用絶縁膜23

を埋込み形成する。素子分離用絶縁膜23は例えばSiO₂膜である。続いて、溝21の側壁部に不純物を導入してn型拡散層24を形成した後、溝21の側面及び上面にキャパシタ絶縁膜25を介してキャパシタ電極26を形成する。キャパシタ絶縁膜25は、例えば熱酸化膜である。キャパシタ電極26は、例えばリンをドーピングした第1層多結晶シリコン膜を全面に堆積して溝21内を埋込み、これを所定形状にパターニングすることにより形成される。

次いで、不要なキャパシタ絶縁膜25をエッチング除去して一旦基板表面を露出させ、第1図(g)に示す如く、キャパシタ電極26の表面には層間絶縁膜27₁を、基板露出部にはゲート絶縁膜27₂を形成する。この実施例ではゲート絶縁膜27₂は熱酸化膜であるが、先に形成されているキャパシタ絶縁膜25を除去せずにこれをそのまま用いることも可能である。

その後、所定領域にp型不純物をドーピングしてベースp⁺型拡散層28を形成する。さらに、

所定領域のゲート絶縁膜27₂をエッチング除去したのち、全面にゲート電極材料膜として、例えば配素をドーピングした第2層多結晶シリコン膜を堆積し、熱拡散によりエミッタn⁺型拡散層30を形成する。さらに、これを所定形状にパターニングしてゲート電極29₁及びエミッタ電極29₂を形成する。この後、不要なゲート絶縁膜27₂を除去し、キャパシタ電極26及びゲート電極29₁をマスクとして不純物をドーピングすることにより、n⁺型拡散層31をセルフアラインで形成する。

次いで、全面にCVD-SiO₂膜を堆積し、異方性エッチング、例えばRIEにより全面エッチングしてゲート電極29₁の段差を利用してその側壁部だけに選択的にSiO₂膜32を残置させ、これをマスクに不純物をドーピングしてn⁺型拡散層33をセルフアラインで形成することにより、ソース・ドレインを形成する。さらに、所定の位置に不純物をドーピングしてp⁺型拡散層34を形成する。

この実施例では第2層多結晶シリコンの側壁段差部に残置させたCVD-SiO₂膜32をマスクに不純物をドーピングしてn⁺型拡散層33を形成しているが、ゲート電極29₁をマスクに高濃度の不純物をドーピングして直接n⁺型拡散層を形成しソース・ドレインを構成することも可能である。

次いで、第1(g)に示す如く、層間絶縁膜として例えばCVD-SiO₂膜35を全面に堆積し、所定の位置をエッチング除去してコンタクトホールを形成する。その後、配線材料として例えばAl膜36を全面に堆積した後、所定の形状にパターニングすることにより配線を行う。

かくして本実施例方法によれば、素子分離用溝21の底面がp⁺型埋込み層(反転防止層)14に接するように形成されるため、素子分離領域の面積を拡大することなく素子分離耐圧の向上をはかることができる。しかも、溝型キャパシタの底面が埋込み層14に接するように形成されるため、キャパシタ間リークだけでなく、α線によるソフ

トエラーを抑えることができ、メモリの信頼性の向上をはかることができる。さらに、反転防止のための埋込み層14と、バイポーラトランジスタのコレクタ埋込み層16を順次に形成することができるので、これらの埋込み層14、16をそれぞれ最適な深さ位置に形成することができ、且つその工程を簡略化することが可能となる。

また、反転防止のための埋込み層14をエピタキシャル成長技術を利用して形成するため、長時間の熱拡散を行って拡散層を形成する場合に比べて、基板表面に形成されるMOSトランジスタの特性は安定したものとなる。さらに、このエピタキシャル成長技術による埋込み層をCMOSに用いた場合には、ラッチアップ防止に非常に有効であり、ウェル分離幅を小さくすることが可能となり、高集積化がはかられる。

即ち、Bi-MOS構造を用いたFCセルDRAMにおいては高速動作、高信頼性、高集積化をはかることが可能であり、信頼性及び集積度の高い半導体装置を実現することができる。

防止層及びコレクタ埋込み層を基板と同導電型にし、第1及び第2のエピタキシャル成長層を基板と逆導電型にすることも可能である。また、各部の絶縁膜として熱酸化による SiO_2 膜の他に、CVDによる SiO_2 膜や Si_3N_4 等を用いることも可能である。また、実施例では素子分離用溝の側壁を利用してキャパシタ面積を稼ぐDRAM構造を説明したが、素子分離用溝とは別にキャパシタ領域の基板表面に溝を掘ってキャパシタ面積の拡大をはかることが可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【発明の効果】

以上詳述したように本発明によれば、素子分離用溝をその底面が反転防止層に接するように形成しているので、素子分離領域の面積を拡大することなく、素子分離耐圧の向上をはかることができる。しかも、2層のエピタキシャル成長層の厚さにより反転防止層及びコレクタ埋込み層の深さ位置を独立に設定できるので、各埋込み層の深さ

なお、本発明は上述した実施例に限定されるものではない。実施例ではコレクタ埋込み層としての高濃度 n^+ 埋込み層16を砒素のドーピングにより形成したが、例えばアンチモンの拡散により形成することも可能である。また、実施例ではキャパシタ電極を第1層多結晶シリコン膜により、ゲート電極及びエミッタ電極を第2層多結晶シリコン膜により形成したが、これらの材料として高融点金属或いはそのシリサイド等を用いることができる。さらに、ゲート電極及びエミッタ電極を第2層多結晶シリコン膜により形成したが、エミッタ電極を第3層多結晶シリコン膜で形成することも可能である。

また、反転防止層、コレクタ埋込み層、第1及び第2のエピタキシャル成長層の導電型は実施例に何等限定されるものではなく、仕様に応じて適宜変更可能である。例えば、第1のエピタキシャル成長層及び反転防止層を基板と同導電型とし、第2のエピタキシャル成長層及びコレクタ埋込み層を基板と逆導電型にしてもよい。さらに、反転

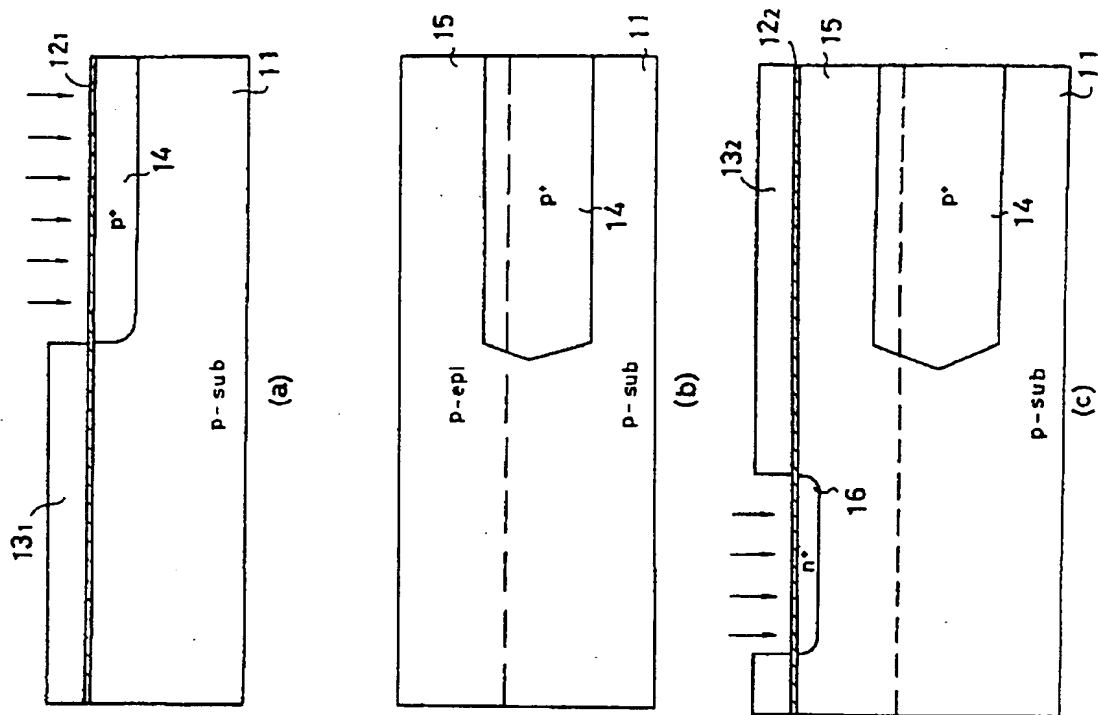
を共に最適化することができる。従って、Bi-MOS構造の半導体装置の信頼性及び集積度の向上をはかり得、その有用性は絶大である。

4. 図面の簡単な説明

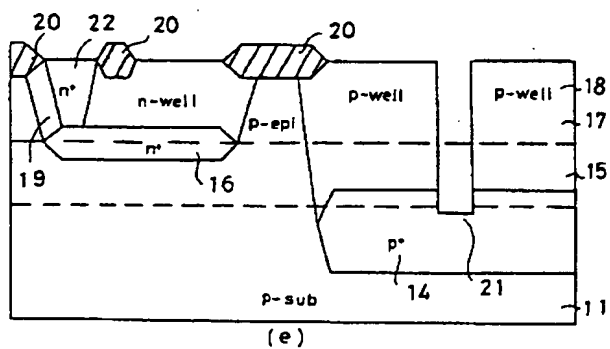
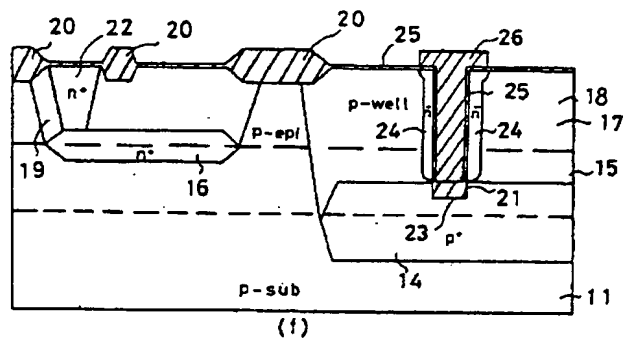
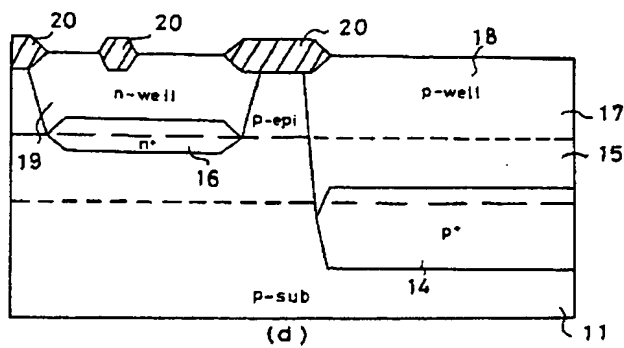
第1図は本発明の一実施例に係わるBi-MOS構造のDRAMセルの製造工程を示す断面図、第2図は従来のDRAM構造を示す平面図及び断面図である。

11…p型Si基板、14… p^+ 型埋込み層（反転防止層）、15…第1のp型エピタキシャル成長層、16… n^+ 型埋込み層（コレクタ埋込み層）、17…第2のp型エピタキシャル成長層、18…pウェル、19…nウェル、23…素子分離用埋込み絶縁膜、26…キャパシタ電極、29…ゲート電極。

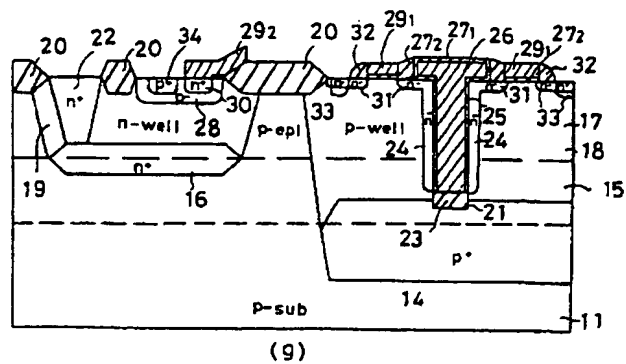
出願人代理人 弁理士 錦江武彦



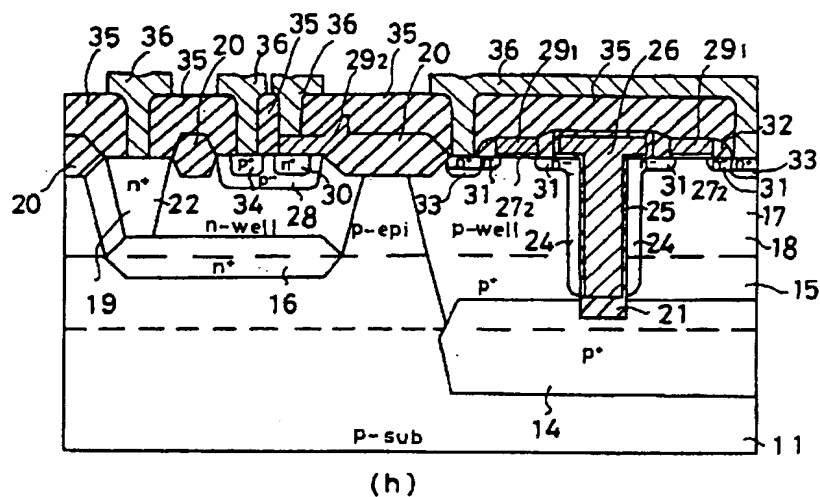
第 1 図 (1)



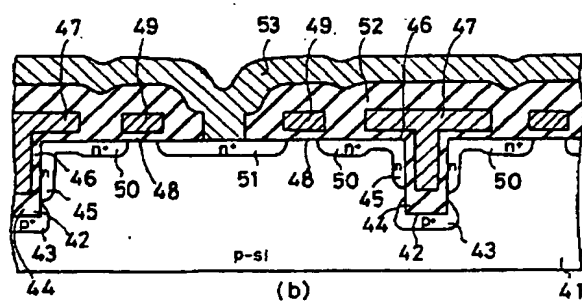
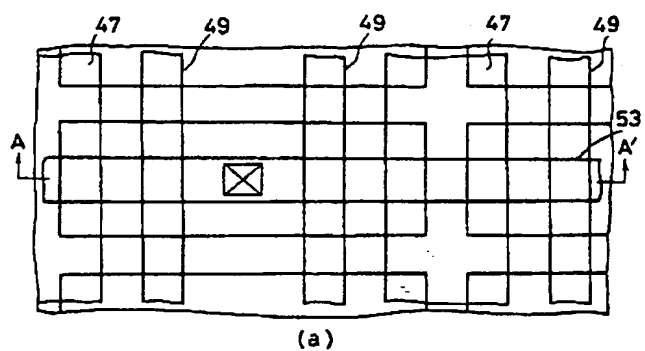
第 1 図 (2)



第 1 図 (3)



第 1 圖 (4)



第 2 圖